

for us

167010US

PATENT ABSTRACTS OF JAPAN

2

(11)Publication number : 2000-286645

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H03F 1/32

H03F 1/02

H04B 1/04

(21)Application number : 11-092355

(71)Applicant : NTT DOCOMO INC

(22)Date of filing : 31.03.1999

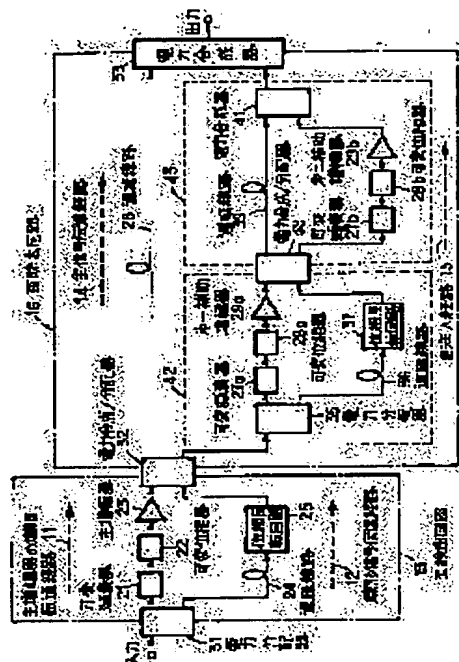
(72)Inventor : SUZUKI YASUYOSHI
NOJIMA TOSHIO

(54) FEEDFORWARD AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a feedforward amplifier which has a distortion compensating ability equivalent to that of the conventional feedforward amplifier or higher and can improve the efficiency of an auxiliary amplifier.

SOLUTION: The distortion injecting route 15 in which the detected distortion component of a main amplifier 23 is amplified is detected by detecting the distortion generated in a first auxiliary amplifier 29a by means of a distortion detecting circuit 42 composed of a variable attenuator 27a, a variable phase shifter 28a, the auxiliary amplifier 29a, a delay line 36, and a phase inverter circuit 37. The detected distortion is removed by means of a distortion removing circuit 43 composed of a variable attenuator 27b, a variable phase shifter 28b, a second auxiliary amplifier 29b, and a delay line 39.



LEGAL STATUS

[Date of request for examination]

26.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-286645

(P 2 0 0 0 - 2 8 6 6 4 5 A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード (参考)
H03F 1/32		H03F 1/32	5J090
1/02		1/02	5J092
H04B 1/04		H04B 1/04	R 5K060

審査請求 未請求 請求項の数10 O L (全15頁)

(21) 出願番号 特願平11-92355
(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 392026693
株式会社エヌ・ティ・ティ・ドコモ
東京都千代田区永田町二丁目11番1号
(72) 発明者 鈴木 恭宜
東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社内
(72) 発明者 野島 俊雄
東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社内
(74) 代理人 100066153
弁理士 草野 卓 (外1名)

最終頁に続く

(54) 【発明の名称】 フィードフォワード増幅器

(57) 【要約】

【課題】 従来と同等以上の歪補償能力をもち、かつ補助増幅器の高効率増幅を可能とする。

【解決手段】 検出した主増幅器23の歪成分が増幅する歪注入経路15を、可変減衰器27a、可変位相器28a、第一補助増幅器29a、遅延線36、位相反転回路37よりなる歪検出回路42で補助増幅器29aで生じる歪を検出し、この歪を、可変減衰器27b、可変位相器28b、第二補助増幅器29b、遅延線39よりなる歪除去回路43で除去する。

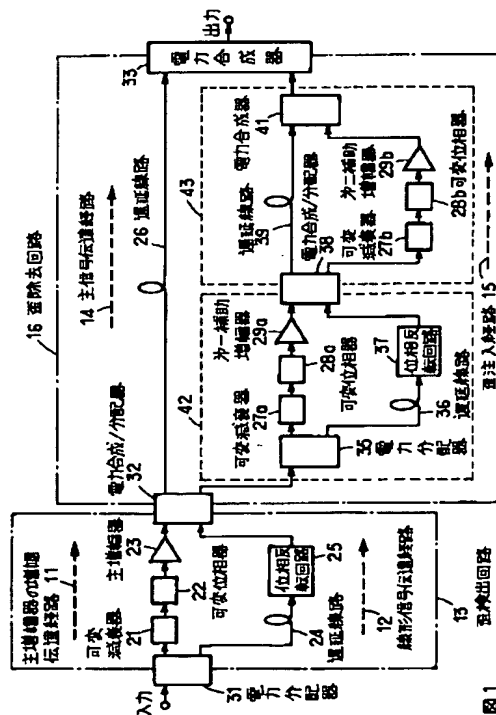


図1

【特許請求の範囲】

【請求項 1】 主増幅器の非線形歪を検出する歪検出回路と、

その検出した歪成分を補助増幅器を用いて増幅した後、主増幅器の出力に再び注入することによって歪成分の相殺を行う歪除去回路とを有するフィードフォワード増幅器において、

上記歪除去回路の補助増幅器の非線形歪を検出する補助増幅器用歪検出回路と、

その補助増幅器用歪検出回路で検出した歪成分を第二の補助増幅器で増幅して、上記補助増幅器の出力に再び注入することによって補助増幅器の歪成分の相殺を行う補助増幅器用歪除去回路とにより、

上記歪除去回路が構成されていることを特徴とするフィードフォワード増幅器。

【請求項 2】 主増幅器の非線形歪を検出する歪検出回路と、

その検出した歪成分を補助増幅器を用いて増幅した後、主増幅器の出力に再び注入することによって歪成分の相殺を行う歪除去回路とを有するフィードフォワード増幅器において、

主増幅器は互いに飽和出力が異なる複数の増幅回路が並列に構成されていることを特徴とするフィードフォワード増幅器。

【請求項 3】 主増幅器の非線形歪を検出する歪検出回路と、

その検出した歪成分を補助増幅器を用いて増幅した後、主増幅器の出力に再び注入することによって歪成分の相殺を行う歪除去回路とを有するフィードフォワード増幅器において、

主増幅器を構成するソース接地またはエミッタ接地された半導体増幅素子のドレイン端子またはコレクタ端子に変換された電圧を印加する電圧変換回路と、

主増幅器に入力される信号の包絡線成分を検出する検波回路と、

上記検波回路の出力信号に応じて上記電圧変換回路を制御する制御回路と、

を設けたことを特徴とするフィードフォワード増幅器。

【請求項 4】 主増幅器の非線形歪を検出する歪検出回路と、

その検出した歪成分を補助増幅器を用いて増幅した後、主増幅器の出力に再び注入することによって歪成分の相殺を行う歪除去回路とを有するフィードフォワード増幅器において、

主増幅器を構成するソース接地またはエミッタ接地された半導体増幅素子のゲート端子またはベース端子に変換された電圧を印加する電圧変換回路と、

主増幅器に入力される信号の包絡線成分を検出する検波回路と、

その検波回路の出力信号に応じて上記電圧変換回路を制

御する制御回路と、

を設けたことを特徴とするフィードフォワード増幅器。

【請求項 5】 請求項 4 記載のフィードフォワード増幅器において、

主増幅器を構成するソース接地またはエミッタ接地された半導体増幅素子のドレイン端子、またはコレクタ端子に変換された電圧を印加する電圧変換回路をさらに備えることを特徴とするフィードフォワード増幅器。

【請求項 6】 請求項 2 乃至 5 の何れかに記載のフィードフォワード増幅器において、

上記歪除去回路の補助増幅器の非線形歪を検出する補助増幅器用歪検出回路と、

その補助増幅器用歪検出回路で検出した歪成分を第二の補助増幅器で増幅して、上記補助増幅器の出力に再び注入することによって補助増幅器の歪成分の相殺を行う補助増幅器用歪除去回路により、

上記歪除去回路が構成されていることを特徴とするフィードフォワード増幅器。

【請求項 7】 請求項 6 記載のフィードフォワード増幅器において、

上記補助増幅器用歪検出回路の補助増幅器は互いに飽和出力が異なる複数の増幅回路が並列に構成されていることを特徴とするフィードフォワード増幅器。

【請求項 8】 請求項 6 記載のフィードフォワード増幅器において、

上記補助増幅器用歪検出回路の補助増幅器を構成するソース接地またはエミッタ接地された半導体増幅素子のドレイン端子またはコレクタ端子に変換された電圧を印加する電圧変換回路と、

補助増幅器に入力される信号の包絡線成分を検出する検波回路と、

その検波回路の出力信号に応じて上記電圧変換回路を制御する制御回路と、

を備えることを特徴とするフィードフォワード増幅器。

【請求項 9】 請求項 6 記載のフィードフォワード増幅器において、

上記補助増幅器用歪検出回路の補助増幅器を構成するソース接地またはエミッタ接地された半導体増幅素子のゲート端子またはベース端子に変換された電圧を印加する電圧変換回路と、

補助増幅器に入力される信号の包絡線成分を検出する検波回路と、

その検波回路の出力信号に応じて上記電圧変換回路を制御する制御回路と、

を備えることを特徴とするフィードフォワード増幅器。

【請求項 10】 請求項 9 記載のフィードフォワード増幅器において、

上記補助増幅器用歪検出回路の補助増幅器を構成するソース接地またはエミッタ接地された半導体増幅素子のドレイン端子、またはコレクタ端子に変換された電圧を印

加する電圧変換回路をさらに備えることを特徴とするフィードフォワード増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、主として高周波帯で使用される線形増幅器であるフィードフォワード増幅器、特に電力効率を高効率化したものに関する。

【0002】

【従来の技術】 図14にフィードフォワード増幅器の構成を示す。フィードフォワード増幅器は、主増幅器の増幅伝達経路11と線形信号伝達経路12により構成される歪検出回路13と、主信号伝達経路14と歪注入経路15により構成される歪除去回路16により構成される。主増幅器の増幅伝達経路11には、可変減衰器21、可変位相器22と主増幅器23の直列接続で構成される。線形信号伝達経路12は、遅延線24と位相反転回路25の直列接続により構成される。主信号伝達経路14は、遅延線26により構成される。そして、歪注入経路15は、可変減衰器27、可変位相器28と補助増幅器29の直列接続により構成される。フィードフォワード増幅器の入力は、電力分配回路31により、主増幅器の増幅伝達経路11と線形信号伝達経路12に分配される。また、歪検出回路13と歪除去回路16は、電力合成／分配器32により縦続に構成される。フィードフォワード増幅器の出力は、主信号伝達経路14と歪注入経路15の各出力を合成する電力合成器33より得られる。

【0003】 フィードフォワード増幅器は、前段の歪検出回路13で主増幅器23より発生する歪成分を検出し、後段の歪除去回路16で主増幅器23より発生する歪成分の位相量と振幅量を調整して、主増幅器23の出力信号に注入することで主増幅器23より発生する非線形歪を除去する。一般にフィードフォワード増幅器の非線形歪改善量は、歪検出回路13の可変減衰器21と可変位相器22、歪除去回路16の可変減衰器27と可変位相器28と補助増幅器29の調整により左右される。その調整等の精度は、特願昭63-23574「フィードフォワード増幅器の自動調整回路」に示されている。たとえば、30dB以上の歪圧縮量を得るための位相及び振幅偏差は、それぞれ±2度以内及び±0.3dB以内であり、歪検出回路13及び歪除去回路16の伝送特性の平衡度及び調整の完全性について厳しい条件が要求されているといえる。

【0004】 フィードフォワード増幅器で歪補償するのは、主増幅器23の非線形歪である。従って、補助増幅器29で発生する非線形歪は、回路構成上原理的にフィードフォワード増幅器により歪補償できない。また、上記二つの経路の平衡条件が厳しいため、従来のフィードフォワード増幅器の補助増幅器29には、線形性が要求されている。一般に半導体増幅素子を用いた増幅回路の

線形性を高めるには、いわゆるA級バイアスとする動作条件とし、増幅する信号のピーク電力よりも飽和出力を十分に大きくしていた。

【0005】

【発明が解決しようとする課題】 近年無線装置の小型化・経済化・低消費電力化などが求められている。フィードフォワード増幅器を用いる無線装置においても同様である。フィードフォワード増幅器の低消費電力化を達成するために、主増幅器及び補助増幅器の高効率化が必要である。これにより、増幅器の放熱板などを小型化でき、結果として無線装置の小型化を達成できる。

【0006】 主増幅器の高効率化は、B級バイアス条件のプッシュプル回路等により可能である。主増幅器で生じる非線形歪は、従来のフィードフォワード増幅器により補償できる。これに対して、フィードフォワード増幅器の歪注入経路15に挿入される補助増幅器29の電力効率を高めることは、一般に補助増幅器の半導体増幅素子をいわゆるB級、C級などバイアス条件で動作させる必要がある。これらのバイアス条件により生じる非線形歪は、上記で述べたようにフィードフォワード増幅で原理的に補償できない。従って、補助増幅器29の高効率化は、フィードフォワード増幅器の歪補償能力を低下させる問題があった。

【0007】 たとえば、文献（野島俊雄、橋橋祥一、「移動通信用超低歪多周波共通増幅器」、電子情報通信学会無線通信システム研究会技術報告、RCS90-4、1990）によると、主増幅器の飽和出力を100W、補助増幅器の飽和出力を主増幅器飽和出力の1/8、1.5GHz帯、主増幅器と補助増幅器の半導体増幅素子にGaAsのMESFETの場合において、主増幅器のMESFETのドレイン電圧12V、ドレイン電流20A、補助増幅器のMESFETのドレイン電圧12V、ドレイン電流5Aとし、いずれもA級バイアスの条件でフィードフォワード増幅器への供給電力は153W程度になり、ドレイン効率を求めると、約5%以下になる。主増幅器にB級プッシュプルなどの高効率増幅回路、補助増幅器にA級増幅回路を用いても高々約10%以下のドレイン効率しか得られない。

【0008】 高出力増幅器の高効率化を達成する方法として、W. H. Doherty, "A new high efficiency power amplifier for modulated waves", Proc. IRE, vol. 24, no. 9, pp1163-1182, Sept. 1936. に飽和出力の異なる複数の増幅回路による方法が知られている。一般にドハティ(Doherty)法として知られ、中波などの放送局用送信電力増幅器などで実用化されている。Doherty法では、飽和増幅を行う増幅回路と線形増幅を行う増幅回路を並列に構成する。飽和増幅器では平均電力付近の信号を増幅し、線形増幅器ではピーク電力

を生じる信号を増幅する。D o h e r t y 法では飽和増幅器により高効率増幅を可能にしているが、回路構成上線形増幅器に inputs すべき信号も飽和増幅器に inputs することで非線形歪を生じる問題がある。また、飽和増幅器で生じた非線形歪は回路構成上補償できない。

【0009】フィードフォワード増幅器のさらなる高効率化を達成する方法として、主増幅器の出力バックオフを低下する方法があるが、公知の通りフィードフォワード増幅器で補償できる非線形歪は、主増幅器の入力出力特性の線形領域の不完全性に限られる。すなわち、入力特性の飽和領域でのクリップ等による非線形歪をフィードフォワード増幅器で補償できない。

【0010】この発明の目的は、従来のフィードフォワード増幅器と同等以上の歪補償能力を持ちつつ、さらなる高効率増幅を可能にすることで、フィードフォワード増幅器の高効率化を達成することにある。

【0011】

【課題を解決するための手段】第1形態の発明によれば、歪注入経路をフィードフォワード増幅器構成とする。具体的には、補助増幅器を主増幅器と見なして、補助増幅器に対する歪検出回路と歪注入回路を用いた歪注入経路とする。これにより、補助増幅器で発生する非線形歪は、歪注入経路のフィードフォワード構成により補償する。また、補助増幅器をA級バイアス以外のB級、C級、D級、E級、F級等による高効率動作を可能にする。

【0012】第2形態の発明によれば、主増幅器を、互いに飽和出力が異なる複数の増幅回路を並列に構成する。飽和出力は、増幅回路を構成する半導体増幅素子のゲート電圧、ベース電圧、ドレイン電圧及びコレクタ電圧の条件により決まる。飽和出力の異なる複数の増幅回路を並列に構成することで、増幅回路の入力信号のピーク対平均電力比に応じた飽和出力の増幅回路を選択できる。これにより、単一の増幅回路よりも電源効率を改善できる。

【0013】第2形態の発明に対し第1形態の発明を適用し、歪注入経路をフィードフォワード構成化する。これにより、十分な線形性が要求された補助増幅器の高効率化を達成できる。フィードフォワード増幅器全体の電源効率の高効率化を達成できる。補助増幅器用歪検出回路の補助増幅器は互いに異なる飽和出力を持つ増幅回路を並列した構成で実現される。これにより、同様にフィードフォワード増幅器の電源効率の高効率化を達成できる。

【0014】第3形態の発明によれば主増幅器のエミッタ接地またはソース接地の半導体増幅素子のコレクタ端子またはドレイン端子に電圧変換回路から電圧が印加され、この印加電圧を主増幅器入力信号の包絡線に応じて制御する。これにより、主増幅器のコレクタ効率またはドレイン効率を著しく低下させることなく主増幅器の電

力効率を改善できる。

【0015】あるいは、主増幅器のエミッタ接地またはソース接地の半導体増幅素子のベース端子またはゲート端子に電圧変換回路からの電圧が印加され、この印加電圧を主増幅器入力信号の包絡線に応じて制御する。これにより、主増幅器のコレクタ効率またはドレイン効率を著しく低下させることなく主増幅器の電力効率を改善できる。

【0016】この第3形態の発明においても、第1形態の発明を適用して、フィードフォワード増幅器の歪注入経路を補助増幅器の発生する非線形歪を検出する歪検出回路とその検出した歪を補助増幅器出力に注入し除去する歪除去回路により構成する。これにより、主増幅器の高効率化を達成しつつ、補助増幅器のさらなる高効率化を可能にすることで、フィードフォワード増幅器全体の電力効率を改善する。

【0017】この補助増幅器用歪検出回路の補助増幅器を構成するエミッタ接地またはソース接地の半導体増幅素子のコレクタ端子またはドレイン端子に印加する電圧を補助増幅器入力信号に応じて制御する。これにより、補助増幅器のコレクタ効率またはドレイン効率を著しく低下させることなく補助増幅器の電力効率を改善でき、フィードフォワード増幅器全体の電力効率を改善できる。

【0018】また補助増幅器用歪検出回路の補助増幅器を構成するエミッタ接地またはソース接地の半導体増幅素子のベース端子またはゲート端子に印加する電圧を補助増幅器入力信号に応じて制御する。これにより、補助増幅器のコレクタ効率またはドレイン効率を著しく低下させることなく補助増幅器の電力効率を改善でき、フィードフォワード増幅器全体の電力効率を改善できる。

作用

主増幅器の歪成分は、歪注入経路に出力される。第1形態の発明による歪注入経路は、フィードフォワード構成化により、補助増幅器に対する歪検出回路と補助増幅器の歪除去回路で構成される。動作については、従来のフィードフォワード増幅器と何ら変わらない。すなわち、主増幅器の歪成分を入力し、補助増幅器で新たに生じた歪成分を歪注入経路の歪検出回路で検出し、その新たな歪成分を主増幅器の歪成分に何ら影響を与えることなく補助増幅器の歪成分を歪注入経路の歪除去回路で除去する。

【0019】第2形態の発明は、D o h e r t y 法による複数の飽和出力の異なる増幅回路を並列構成にすることで、単一増幅回路で構成した場合に比べて電源効率の高効率化を達成する。D o h e r t y 法の欠点として、飽和出力の低い増幅回路にて非線形歪を生じるが、この発明ではフィードフォワード増幅器の歪検出回路及び歪除去回路により出力バックオフの低下により生じる帯域外歪成分を十分に除去できる。

【0020】以上の理由から、フィードフォワード増幅器全体の電源効率の高効率化を達成しつつ、従来と同等の歪補償能力を達成する。第3形態の発明において、入力信号の包絡線に合わせて主増幅器を構成する半導体増幅素子のコレクタ電圧またはドレイン電圧を制御することで、常に動作点を電源効率の高い点にあるようにすることができる。この際に生じる非線形歪は、フィードフォワード増幅器により歪補償される。

【0021】同様にして、ベース電圧またはゲート電圧を制御することで常に動作点を電源効率の高い点にあるようにすることができる。この際に生じる非線形歪も同様にしてフィードフォワード増幅器により歪補償される。第3形態の発明においても第1形態の発明を適用して補助増幅器をフィードフォワード構成化し、補助増幅器の発生する非線形歪をフィードフォワード増幅器の歪注入経路のフィードフォワード構成化により歪補償をすることができ、補助増幅器にA級バイアス以外の電源効率が優れた動作点のバイアス方法を適用でき、主増幅器の半導体増幅素子の電圧制御と併せて、全体の電源効率の高効率化が図れる。

【0022】

【発明の実施の形態】実施例1

図1にこの発明の実施例1を示す。この実施例1は、従来のフィードフォワード増幅器の歪注入経路15をフィードフォワード構成化したものである。歪注入経路は、歪検出回路出力を入力する電力分配器35と、この電力分配器35の一方の出力が供給される可変減衰器27aと可変位相器28aと第一補助増幅器29aの直列接続よりなる経路と、他方の出力が供給される遅延回路36と位相反転回路37の直列接続よりなる経路と、前記二つの経路の出力を合成し分配する電力合成／分配器38と、その電力合成／分配器38の出力の一方が入力される遅延回路39を備える経路と、出力の他方が入力される可変減衰器27bと可変位相器28bと第二補助増幅器29bの直列接続よりなる経路と、これら二つの経路の出力を合成する電力合成器41とにより構成される。

【0023】この歪注入経路15のフィードフォワード構成化により、第一補助増幅器29aにA級バイアス以外の動作条件で第一補助増幅器29aの半導体増幅素子を高効率に動作させ、この高効率化に基づき補助増幅器29aから新たに生じた歪成分を、可変減衰器27a、可変位相器28a、第一補助増幅器29a、遅延回路36、位相反転回路37よりなる補助増幅器用歪検出回路42で検出し、この検出した歪成分で、可変減衰器27b、可変位相器28b、第二補助増幅器29b、遅延回路39よりなる補助増幅器用歪除去回路43において、第一補助増幅器29aの増幅出力中の第一補助増幅器29aで生じた歪成分を除去する。よって、第一補助増幅器29aの高効率増幅を可能にできる。

【0024】第一補助増幅器29aにB級プッシュプル

回路を用いた第一具体例について述べる。図1中の第一補助増幅器29aにB級プッシュプル増幅回路を用い、第二補助増幅器29bにA級増幅回路を用いる。フィードフォワード増幅器のドレイン効率は、フィードフォワード増幅器の出力電力対フィードフォワード増幅器に供給した電力の比である。第一具体例では、主増幅器23、第一補助増幅器29a、第二補助増幅器29bを使用しているため、これらの出力電力対供給電力の比となる。ここで上記文献による例と同様の条件でこの具体例の効果を検討する。

【0025】主増幅器23の飽和出力を100W、第一補助増幅器27aの飽和出力をその1/8とすれば、第二補助増幅器27bの飽和出力も同様にして第一補助増幅器27aの飽和出力の1/8、よって主増幅器23の飽和出力の1/64と考えられる。この場合、主増幅器23をB級プッシュプル増幅回路、ドレイン電圧を12V、ドレイン電流を10A、第1補助増幅器27aのドレイン電圧を10V、ドレイン電流を3A程度とした場合、第二補助増幅器27bのドレイン電圧を10Vとすれば、ドレイン電流は0.3A程度と推定される。よって、第一具体例におけるフィードフォワード増幅器への供給電力は153W程度になり、従来の約半分になりドレイン効率は10%程度と従来の倍になると推定される。このように、第一補助増幅器27aにB級プッシュプルを用いて高効率増幅を行うことでフィードフォワード増幅器全体の電力効率を改善できる。

【0026】第一補助増幅器29aにF級増幅回路を用いた第二具体例について述べる。主増幅器23にB級プッシュプル増幅回路として、第一具体例と同様にフィードフォワード増幅器の電力変換効率を推定する。この場合、主増幅器23のドレイン電圧を12V、ドレイン電流を10A、第一補助増幅器27aのドレイン電圧を10V、ドレイン電流を2A程度とした場合、第二補助増幅器27bのドレイン電圧を10Vとすれば、ドレイン電流は0.3A程度と推定される。よって、第一具体例におけるフィードフォワード増幅器への供給電力は143W程度になり、第一具体例より少なくなり、ドレイン効率は12%程度に向上すると推定される。このように、第1補助増幅器27aにF級増幅回路を用いて高効率増幅を行うことでフィードフォワード増幅器全体の電力効率を改善できる。

【0027】第一補助増幅器29aにC級増幅回路を用いた第三具体例について述べる。主増幅器23にB級プッシュプル増幅回路として、第一具体例と同様にフィードフォワード増幅器の電力変換効率を推定する。この場合、主増幅器23のドレイン電圧を12V、ドレイン電流を10A、第一補助増幅器27aのドレイン電圧を10V、ドレイン電流を2A程度とした場合、第二補助増幅器27bのドレイン電圧を10Vとすれば、ドレイン電流は0.3A程度と推定される。よって、第一具体例

におけるフィードフォワード増幅器への供給電力は 143 W 程度になり、同様にドレイン効率も 12 % 程度と推定される。このように、第一補助増幅器 29 a に C 級増幅回路を用いて高効率増幅を行うことでフィードフォワード増幅器全体の電力効率を改善できる。

実施例 2

図 2 に第 2 形態の発明の実施例を示す。主増幅器 23 を二つの増幅回路 23 a、23 b で並列構成する。各増幅回路 23 a、23 b への電源供給は、増幅回路 23 a と増幅回路 23 b で異なる。具体的には増幅回路 23 a には直流電源 45 から直接供給するが、増幅回路 23 b への印加する電圧を抵抗素子 46 により増幅回路 23 a への印加する電圧よりも低くして供給する。ここで、増幅回路 23 a と 23 b に用いられる半導体増幅素子は同一とする。実際には、異なる半導体増幅素子を使用してもよい。この電源供給が異なる場合における主増幅器 23 の入出力電力の関係を図 3 A に示す。図 3 A から、増幅回路 23 a の飽和出力の方が増幅回路 23 b の飽和出力よりも高い。主増幅器 23 の入力電力の大きさに応じて、増幅回路 23 a または増幅回路 23 b での電力増幅の性質が異なる。Doherty 法と同様に、たとえば、増幅回路 23 b では平均電力付近の信号を増幅し、増幅回路 23 a では平均電力よりも十分に高い信号を増幅する。増幅回路 23 a で増幅される信号の出現頻度に依存するが、従来方法のように十分に高い出力バックオフをとる方法に比べて増幅回路 23 a の動作時間は少なくなる。これは主増幅器入力信号の振幅頻度分布に応じて増幅回路の電力効率を高くできることを意味する。

【0028】図 3 B にドレイン効率対出力電力の関係を示す。従来の出力バックオフを取る方法と比較して、この発明のドレイン効率の高さが大きいといえる。また、ピーク電力が低いときには、増幅回路 23 a への電圧の印加を停止することで、さらに主増幅器の電源効率を高めることができる。しかしながら、増幅回路 23 b では十分な出力バックオフをとらないため、帯域外歪電力を増加させてしまう問題があるが、フィードフォワード構成により増幅回路 23 b で発生した歪を除去できる。従って、従来の主増幅器を出力バックオフ法で設計した場合よりも高い電力効率を達成しつつ、従来と同等の歪補償能力を持つことができる。

【0029】図 4 に主増幅器 23 の構成方法の実施例を示す。主増幅器入力信号は方向性結合器 47 により分岐され、その分岐出力の主増幅器入力信号の包絡線を包絡線検波回路 48 で検波し、制御回路 49 にて DC/DC コンバータ 51 a、51 b の出力電圧を包絡線のレベルに応じて制御する。つまり直流電源 45 の出力が DC/DC コンバータ 51 a、51 b を通じて増幅回路 51 a、51 b へ印加され、DC/DC コンバータ 51 a の出力電圧より DC/DC コンバータ 51 b の出力電圧が低いものとされている。方向性結合器 47 の出力は方向性結

合器 52 で分配されて増幅回路 23 a、23 b の入力へそれぞれ供給され、増幅回路 23 a、23 b の各出力は方向性結合器 53 で合成されて主増幅器 23 の出力となる。この構成により、図 2 の実施例と比べて、より帯域外歪成分を発生させることなく、主増幅器 23 の高効率増幅を達成し、主増幅器出力電力を制御できる利点を持つ。

【0030】図 5 に第 2 形態の発明の他の実施例を示す。実施例は、主増幅器を図 4 に示した増幅器構成とし、歪注入経路を図 1 に示したフィードフォワード構成化する。これにより、第一補助増幅器 29 a で発生する歪成分を補償できるため、第一補助増幅器 29 a に B 級等の高効率増幅可能な動作条件を適用できる。このように、補助増幅器の電力効率を改善できることから、フィードフォワード増幅器の電力効率をさらに改善できる。

【0031】図 6 に第 2 形態の発明の更に他の実施例を示す。実施例は、フィードフォワード構成化された歪注入経路中の第一補助増幅器 29 a に図 4 に示した実施例による増幅回路を適用する。即ち第一補助増幅器 29 a として並列接続された増幅回路 29 a1、29 a2 を用い、直流電源 55 の出力を DC/DC コンバータ 56 a、56 b により互いに異なる電圧として増幅回路 29 a1、29 a2 に印加し、第一補助増幅器 29 a の入力を包絡線検波器 57 で包絡線検波し、制御器 58 でその包絡線レベルに応じて DC/DC コンバータ 56 a、56 b の出力電圧を制御する。この構成により、第一補助増幅器 29 a の電力効率を主増幅器 23 と同様に改善できることから、フィードフォワード増幅器の電力効率をさらに改善できる。

【0032】上述した実施例では、主増幅器 23 及び補助増幅器 29 a の増幅回路を 2 つにしているが、2 つ以上であっても上記実施例から容易にフィードフォワード増幅器の電力効率を改善できるといえる。

実施例 3

第 3 形態の発明の実施例を図 7 に示す。図 7 は、フィードフォワード増幅器の主増幅器 23 を構成する半導体増幅素子を電圧制御する構成図である。フィードフォワード増幅器入力信号は、電力分配器 31 の出力側の主増幅器の信号伝達経路上に方向性結合器（または電力分配器）61 により、主増幅器入力信号を分配する。分配された信号は、包絡線検波回路 48 に入力される。ここでは、周波数ダウンコンバータなどで構成された受信機としている。また、ピーク電力を検出するダイオードを用いた検出回路でも構わない。包絡線検波回路 48 の出力は、制御回路 49 に入力される。制御回路 49 は、電力変換回路 51 を制御する。電力変換回路 51 は、高効率の DC/DC コンバータ、トランジスタ、FET などのドロップでも構わない。この制御系統により、主増幅器 23 の半導体増幅素子への電圧を制御する。

【0033】主増幅器 23 の入力信号は、図 7 中に破線

【００３６】上記実施例では、ＦＥＴについて述べたがバイポーラトランジスタについても同様である。バイアス電圧を制御する場合の主増幅器の構成の実施例を図１１に図９と対応する部分に同一番号を付けて示す。図１１はＦＥＴ２７のゲート電圧制御に関する実施例である。ゲート電圧制御による電力効率改善の効果は、ドレイン電圧制御の場合とほぼ同様である。ゲート電圧の制御は、図１１において最終段のＦＥＴ６７で行っているが、初段、中間段で行ってもよい。ゲート電圧制御を行

【 0 0 3 9 】 図 1 3 に示すように、主増幅器 2 3 及び補助増幅器 2 9 a を構成する各半導体増幅素子の電圧制御を行えるようにしてもよい。このように、主増幅器 2 3 及び補助増幅器 2 9 a への電圧制御は、個別制御回路にて独立に行う。また、主増幅器 2 3 及び補助増幅器 2 9 a への電圧制御方法については、F E T であればドレイン電圧及びゲート電圧のいずれを制御してもよい。また、ドレイン電圧及びゲート電圧を同時に制御してもよい。これにより、ドレイン電圧制御での電源効率の最適点とゲート電圧制御での電源効率の最適点を組み合わせ、フィードフォワード増幅器の電源効率を最適にできる。同様に、バイポーラトランジスタであれば、コレクタ電圧及びベース電圧のいずれを制御してもよい。また、コレクタ電圧及びベース電圧を同時に制御してもよい。これにより、コレクタ電圧制御での電源効率の最適点とベース電圧制御での電源効率の最適点を組み合わせ、フィードフォワード増幅器の電源効率を最適にできる。

【0040】

【発明の効果】この発明により、以下の効果がある。

(1) フィードフォワード増幅器の低消費電力化が可能である。

(2) フィードフォワード増幅器の電源効率の高効率化が可能である。

(3) 装置の小型化・軽量化が可能である。

【図面の簡単な説明】

【図1】第1形態の発明の実施例を示すブロック図。

【図2】第2形態の発明の実施例を示すブロック図。

【図3】Aは増幅回路23a、23bの出力電力対入力電力特性図、Bはドレイン効率対出力電力特性図である。

【図4】図2中の主増幅器23の具体例を示すブロック図。

【図5】第1形態の発明と第2形態の発明を組合せた実

施例を示すブロック図。

【図6】図5の実施例の変形例を示すブロック図。

【図7】第3形態の発明の実施例を示すブロック図。

【図8】第3形態の発明の他の実施例を示すブロック図。

【図9】主増幅器23の具体例を示す図。

【図10】Aは主増幅器の出力電力対入力電力特性図、Bはドレイン効率対入力電力特性図、Cはドレイン効率対出力電力特性図である。

【図11】主増幅器23の他の具体例を示す図。

【図12】第1形態の発明と第3形態の発明を組合せた実施例を示すブロック図。

【図13】第1形態の発明と第3形態の発明を組合せた他の実施例を示すブロック図。

【図14】従来のフィードフォワード増幅器を示すブロック図。

【図1】

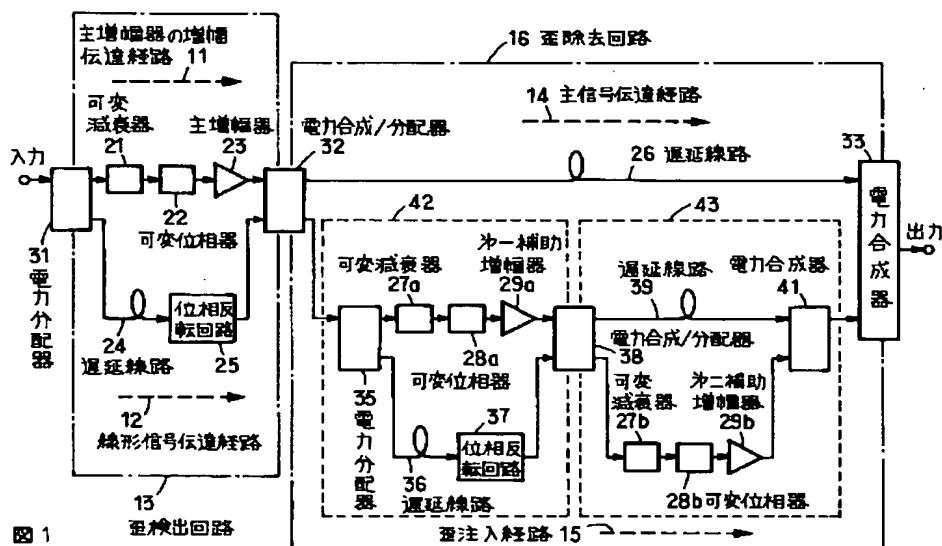


図1

【図 2】

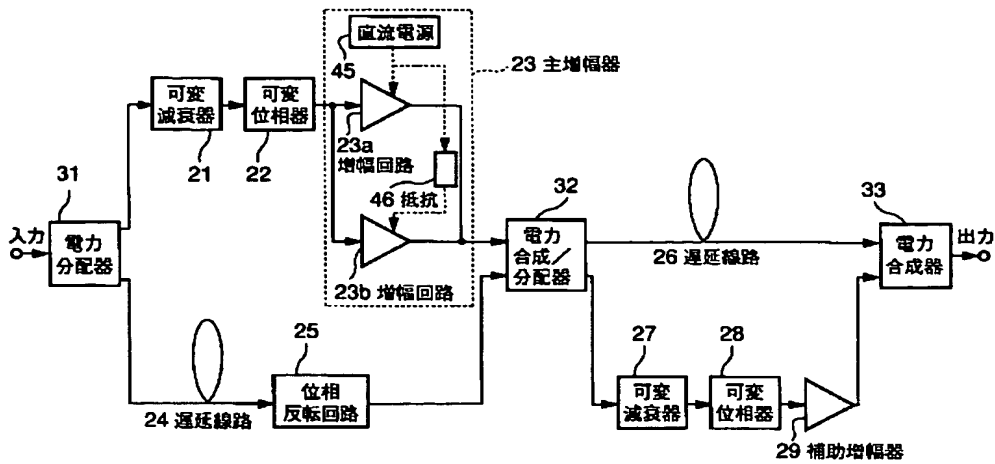


図 2

【図 3】

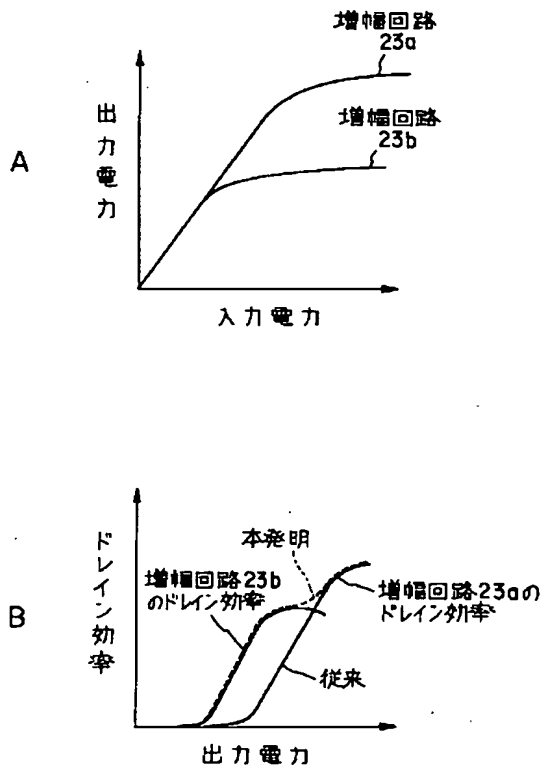


図 3

【図 10】

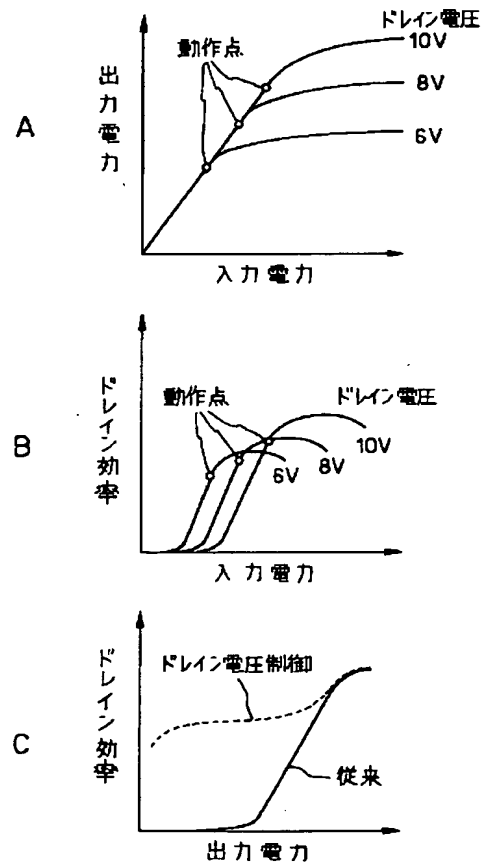


図 10

【図 4】

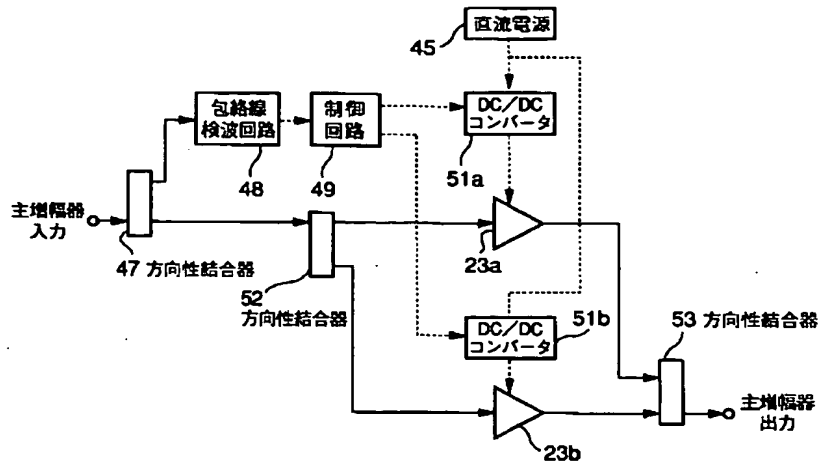


図 4

【図 5】

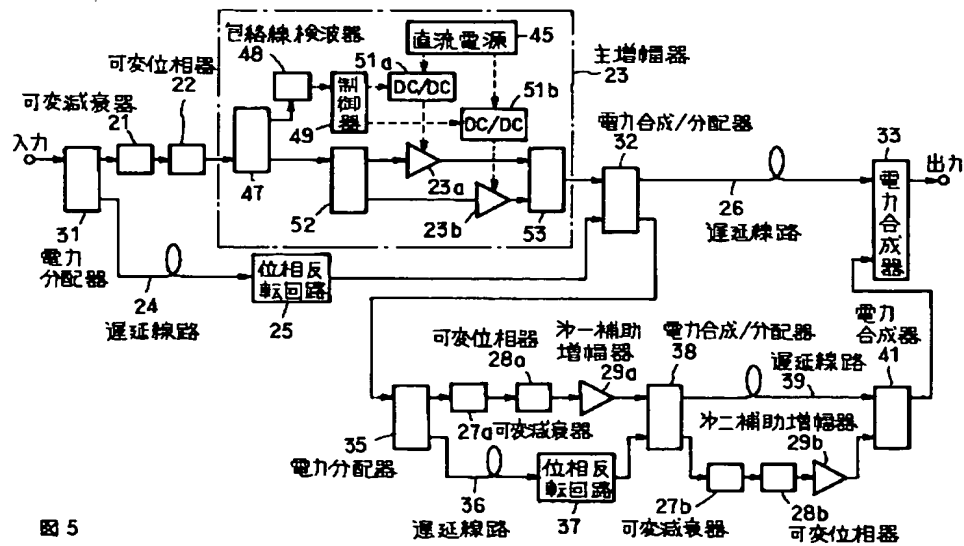
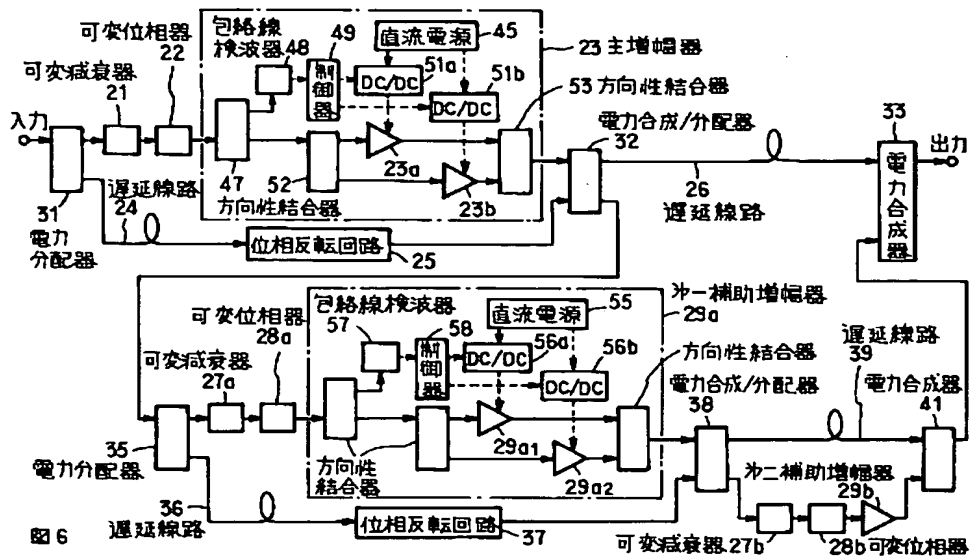
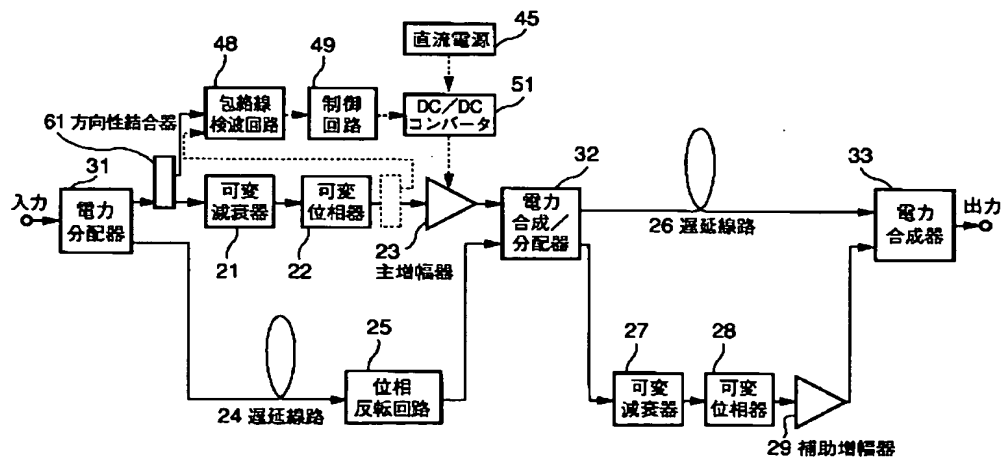


図 5

【図 6】



【図 7】



【図 8】

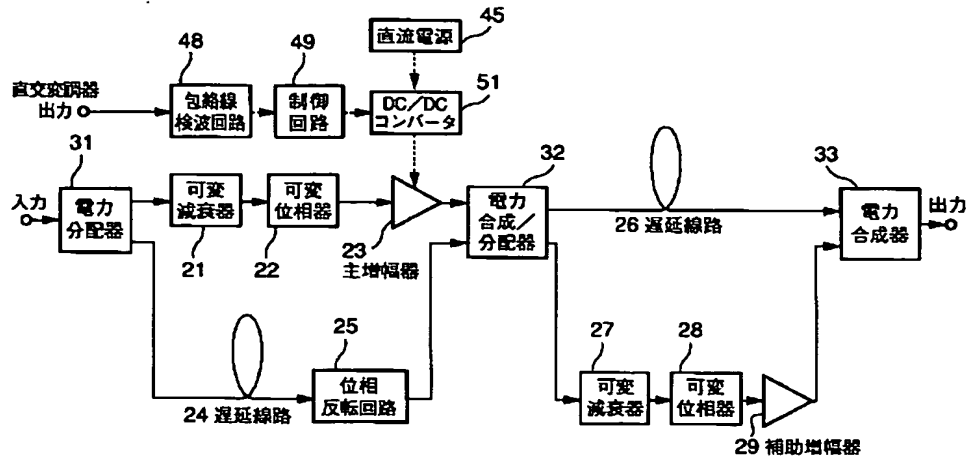


図 8

【図 9】

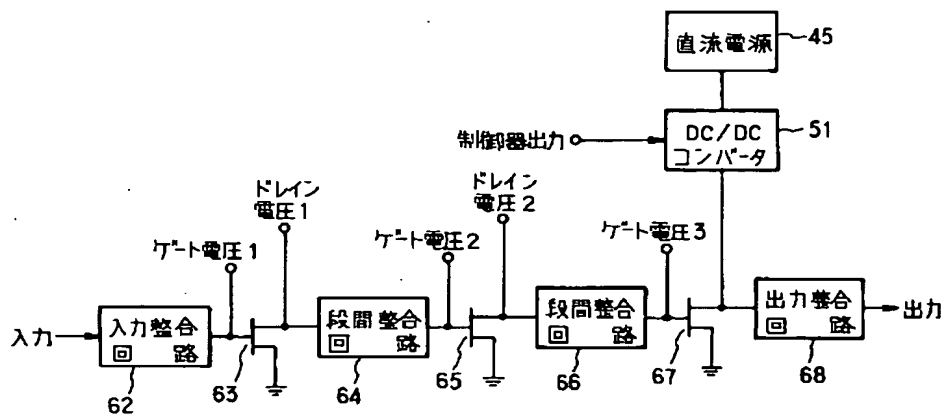
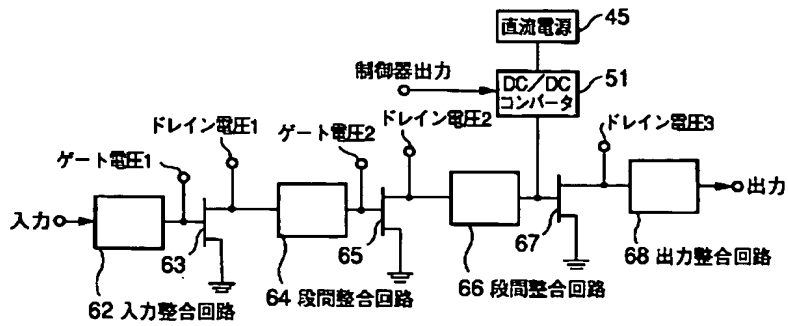


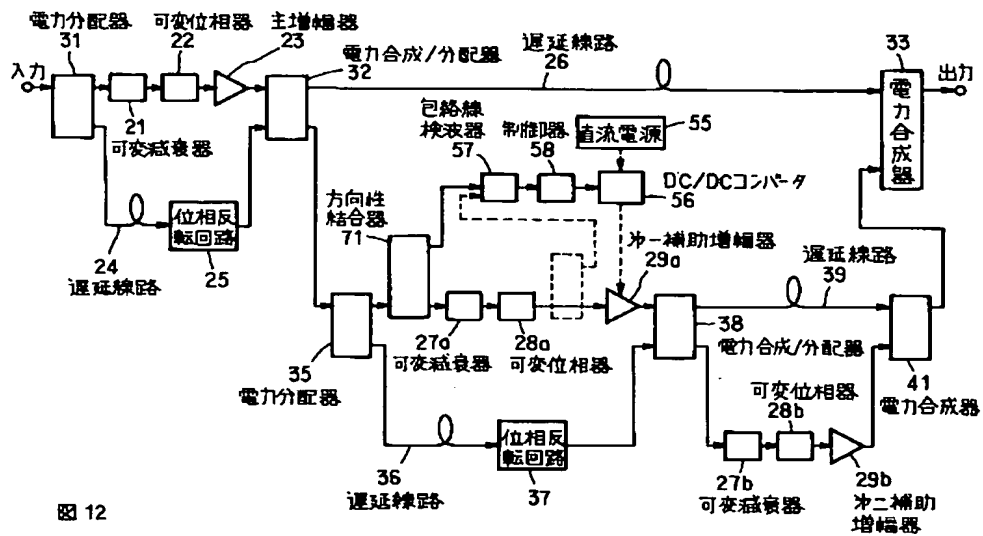
図 9

【☒ 1 1】



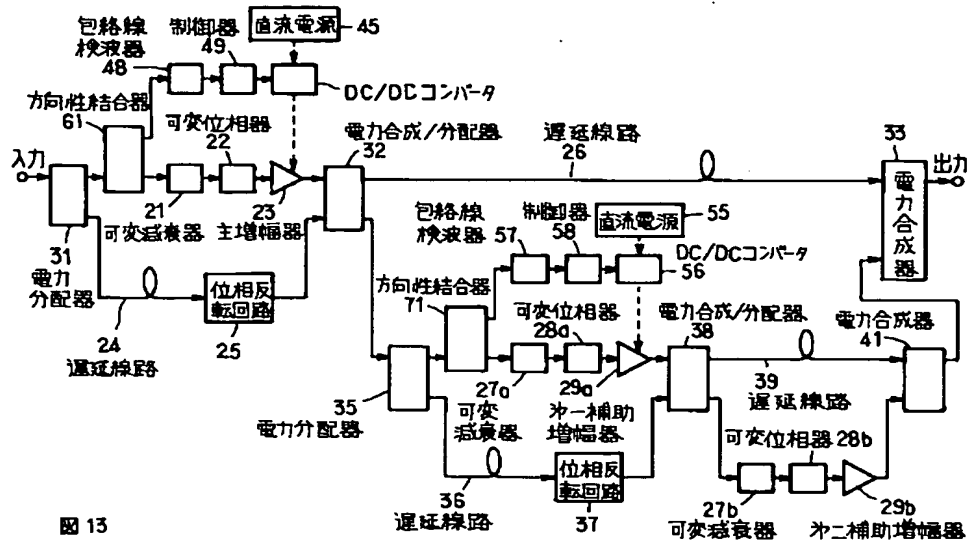
 11

【図 12】

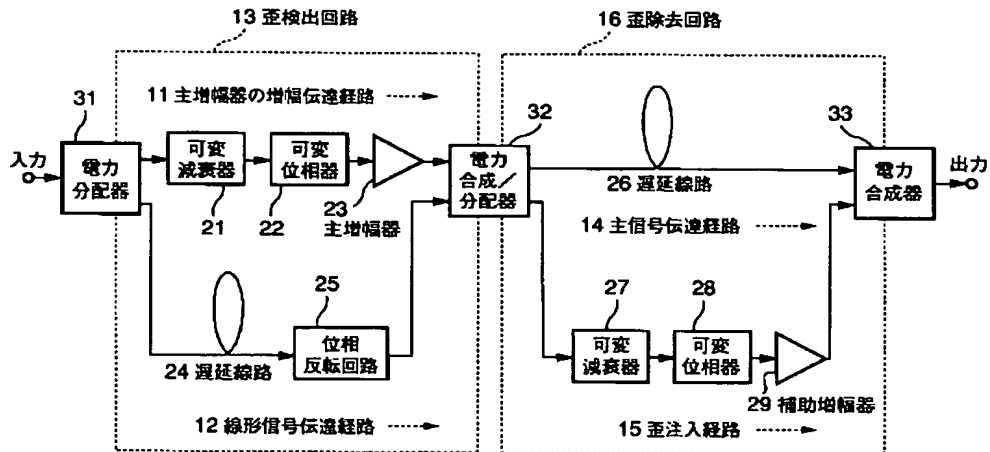


Age Group	Percentage of Respondents
18-29	85%
30-49	75%
50-69	65%
70+	55%

【図 13】



【図 14】



フロントページの続き

Fターム(参考) 5J090 AA04 AA21 AA41 CA25 CA26
CA27 CA36 CA81 FA08 FA10
FA15 GN02 GN05 GN07 GN11
HA09 HN08 KA04 KA15 KA16
KA23 KA48 KA49 KA55 MA08
MA14 MA20 MA22 SA14 TA01
TA02
5J092 AA04 AA21 AA41 CA25 CA26
CA27 CA36 CA81 FA08 FA10
FA15 GR04 HA09 KA04 KA15
KA16 KA23 KA48 KA49 KA55
MA08 MA14 MA20 MA22 SA14
TA01 TA02 VL08
5K060 BB07 CC04 DD04 HH05 HH06
HH34 HH37 KK03 KK04 KK06
LL00 LL22 LL30